

●新特器件应用

ADS8364 的原理及应用

西安电子科技大学 刘书明 聂丽斌
西安创兴电子科技有限公司 余爱民

The Principle and Application Of ADS8364

Liu Shuming Ne Libin Yu Ai min

摘要: ADS8364 是一种六通道 16 位并行输出同步采样 250kHz 模数转换器。它带有片选($\overline{CS}$)、输入时钟(CLK)、并行数据输出($[0:15]$)以及灵活的控制信号。因而可以直接与 MSP430x1xx 系列微控制器进行连接。文中给出了 ADS8364 和 MSP430F149 的连接电路。

关键词: ADS8364; MSP430; 微控制器

分类号: TN79+2

文献标识码: B

文章编号: 1006-6977(2002)10-0043-03

ADS8364 是一种高速、低功耗、十六位模数转换器, 主要应用于电机控制和多轴定位系统等方面。其共模抑制在 50kHz 时为 80dB, 因此, 特别适用于噪声比较大的环境。MSP430F149 是一种超低功耗微控制器, 这种 16 位 CPU 采用 RISC 结构并带有常数发生器, 其数控晶振可使系统在 $6\mu s$ 之内从低功耗模式唤醒。同时, 由于其内置 16 位定时器和高速 12 位 A/D 转换器以及 USART 等配置。因此, 该控制器还可适用于其它的传感器系统、工业控制应用、数字电机控制及手提仪器等方面的应用。

1 ADS8364 特性及工作原理

ADS8364 是高速、低功耗, 六通道同步采样 16 位模数转换器。图 1 所示是 ADS8364 模数转换器的引脚排列图。ADS8364 采用 +5V 工作电压, 并带有 80dB 共模抑制的全差分输入通道以及六个 $4\mu s$ 连续近似的模数转换器、六个差分采样放大器。另外, 在 REF_{IN} 和 REF_{OUT} 引脚内部还带有 +2.5V 参考电压以及高速并行接口。ADS8364 的六个模拟输入分为三组(A、B 和 C), 每个输入端都有一个 ADCs 保持信号以用来保证几个通道能同时进行采样和转换。ADS8364 的差分输入可在 $-V_{REF}$ 到 $+V_{REF}$ 之间变化。

ADS8364 模数转换器中的六个 16 位 ADCs 可以成对的同步工作。三个保持信号($\overline{HOLDA}$, $\overline{HOLDB}$, $\overline{HOLDC}$)可以启动指定通道的转换。当三个保持信号同时被选通时, 其转换结果将保存在六个寄存器中。对于每一个读操作, ADS8364 均输出十六位数

据, 地址/模式信号(A_0 , A_1 , A_2)可以选择如何从 ADS8364 读取数据, 也可以选择单通道、单周期或 FIFO 模式。在 ADS8364 的 $\overline{HOLDX}$ 保持至少 20ns 的低电平时, 转换开始。这个低电平可使各个通道的采样保持放大器同时处于保持状态从而使每个通道同时开始转换。当转换结果被存入输出寄存器后, 引脚 $\overline{EOC}$ 的输出将保持半个时钟周期的低电平。另外, 通过置 $\overline{RD}$ 和 $\overline{CS}$ 为低电平可使数据读出到并行输出总线。

ADS8364 中的取样/保持模块是以最大吞吐率 (250kHz) 工作的, 它的输入带宽大于 ADC 的奈奎斯特频率。而典型的小信号带宽是 300 MHz。孔径延迟

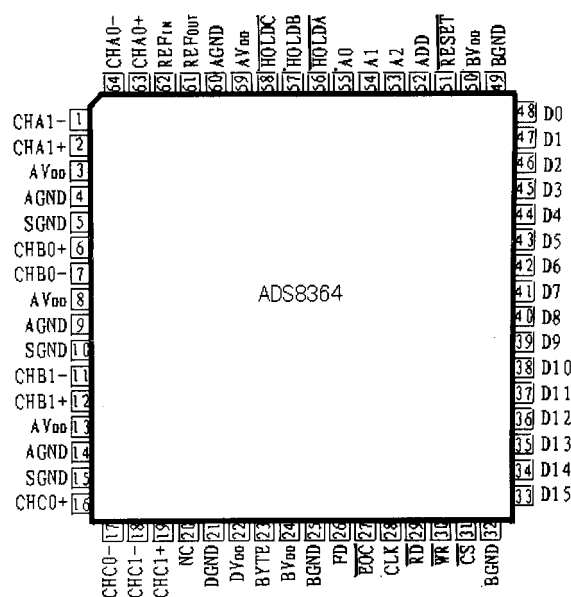


图 1 ADS8364 的引脚排列

时间(转换器从取样模式切换到保持模式花费的时间)为 5ns,每次的平均增量是 50ps。这些特性反映了 ADS8364 接收输入信号的能力。

在正常操作时, REF_{OUT} 与 REF_{IN} 连接可以为 ADS8364 提供 +2.5V 的参考电压。条件是输入不超过 $AV_{DD} + 0.3V$ 。此外, ADS8364 的参考是双缓冲的,使用内部参考时,缓冲器介于参考电压和负载之间。而使用外部参考时,缓冲器则在参考电压和 CDACs 之间起隔离作用。而且缓冲器也可以在转换期间对 CDACs 的所有电容重新充电。ADS8364 也可以使用 1.5V 到 2.6V 的外部参考电压。

ADS8364 本身的噪声很小,但是为了得到更好的性能,输入信号的噪声峰值必须小于 $50\mu V$ 。

ADS8364 的模拟输入可以是双极或全差分的,有两种方法可驱动 ADS8364 的输入,即单端和差分。单端输入时, $-IN$ 端输入的是共模电压(CV),而 $+IN$ 的输入则围绕共模电压摆动,峰-峰值为 $CV + V_{REF}$ 和 $CV - V_{REF}$, V_{REF} 的大小决定了共模电压的变化。当输入是差分方式时,输入幅值在 $-IN$ 和 $+IN$ 之间变化。每个输入端的幅值分别是 $CV + 1/2 V_{REF}$ 和 $CV - 1/2 V_{REF}$,差分输入电压的峰-峰值为 $+V_{REF}$ 和 $-V_{REF}$,所以 V_{REF} 也决定了输入电压的范围。应当注意的是:驱动输入端的电源输出阻抗应当匹配。通常,可在正、负极之间接一个小电容(20pF)来匹配它们的阻抗。否则,将导致失调误差。其输入电流取决于取样率和输入电压。另外,输入电压的范围也应保持在 $AGND - 0.3V$ 和 $AV_{DD} + 0.3V$ 之间。

当 ADS8364 采用 5MHz 的外部时钟来控制转换时,它的取样率是 250kHz,同时对应于 $4\mu s$ 的最大吞吐率,这样,采样和转换共需花费 20 个时钟周期。另外,当外部时钟采用 5MHz 时,ADS8364 的转换时间是 $3.2\mu s$,对应的采集时间是 $0.8\mu s$ 。因此,为了得到最大的输出数据率,读取数据可以在下一个转换期间进行。

2 ADS8364 与 MSP430F149 的连接

2.1 ADS8364 的接口

ADS8364 采用 +5V 模拟电源 (AV_{DD}) 和数字电源 (DV_{DD}),而其内部的缓冲器采用与 MSP430 相同的 +3.3V 电压。缓冲器电压 (BV_{DD}) 允许直接连接到 3V 或 5V 电压系统。因为 MSP430 是低电

源供电器件,因此,要使用该元件, ADS8364 的 BV_{DD} 必须设置成 3.3V。

ADS8364 的最大时钟频率可达 5MHz,采样/转换可在 20 个转换时钟周期内完成。ADS8364 的六个通道可以同时进行采样/转换。吞吐率最大可达 250ksps。在这个应用中,ADS8364 采用的是 4MHz 时钟。每个通道的吞吐率最大可达 200ksps。将 ADS 的地址线 $A[2:0]$ 接到固定电平上, MSP430 将释放通道选择的任务。在这个例子中, A_0 接到数字地, A_2 和 A_1 接到 V_{CC} 上可迫使 ADS8364 进入周期模式。在这个模式中,转换器可自动对六个通道进行采样,并可按从 A_0 到 C_1 的顺序传送到输出端。

将 ADS8364 的 BYTE 引脚接到 V_{CC} 上,可以使能字节模式。在这个模式中,要从 ADC 中正确地读取数据,需要对每个通道进行两次连续的读操作。第一次读取的是转换数据的高位字节,第二次读取的是低位字节。假如通道信息要作为数据输出的一部分,那么,应将 ADS8364 的 ADD 引脚也接到 V_{CC} 。读取数据时,需要对 ADS8364 的每个通道进行三次读操作。第一次读取通道和数据信息,后两次分别读取高位和低位数据。表 1 列出了 ADS8364 与 MSP430xx1xx 系列连接所需的最少引脚。图 2 是它们的接口连接图。

2.2 ADC 的初始化操作

触发 ADS8364 的复位引脚 ($\overline{RST}$) 可以确保读指针指向第一个数据位置。作为 MSP430 初始化的一部分,ADS8364 的引脚 $\overline{RST}$ 分配给 $P1.3$, $P1.3$

表 1 ADS8364 与 MSP430xx1xx 系列连接所需的最少引脚

MSP430F149 引脚编号	MSP430F149 端口 - 功能	ADS8364 引脚编号	信号描述
12	P1.0 - GPIO	56, 57, 58	ADC 输入 - HOLDx, 转换开始
13	P1.1 - INT	27	MSP430 输入 - EOC, 中断源
14	P1.2 - GPIO	29	ADC 输入 - RD
15	P1.3 - GPIO	51	ADC 输入 - RESET
16	P1.4 - SMCLK	28	ADC 输入 - 转换时钟
20	P2.0 - GPIO	48	MSP430 数据输入 - bit0
21	P2.1 - GPIO	47	MSP430 数据输入 - bit1
22	P2.2 - GPIO	46	MSP430 数据输入 - bit2
23	P2.3 - GPIO	45	MSP430 数据输入 - bit3
24	P2.4 - GPIO	44	MSP430 数据输入 - bit4
25	P2.5 - GPIO	43	MSP430 数据输入 - bit5
26	P2.6 - GPIO	42	MSP430 数据输入 - bit6
27	P2.7 - GPIO	41	MSP430 数据输入 - bit7



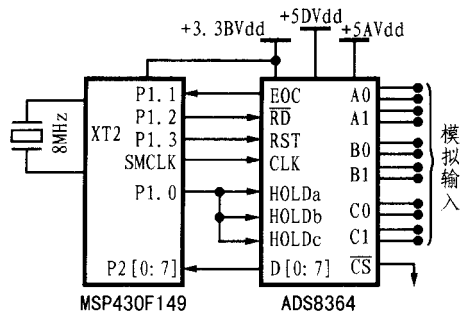


图2 系统接口示意图

最初是高电平，当系统时钟稳定后，被触发为低电平，从而确保了从ADC输出的数据对应于通道A0、A1、B0、B1、C0、C1的排列。

$\overline{\text{HOLDX}}$ 是有源低电平取样触发器。当三条HOLD线均为低电平时，六个模拟输入同时被采样，并在下一个时钟的上升沿转换过程开始，然后在20个时钟周期后转换过程结束。当转换结束后，引脚保持1/2时钟周期的低电平。

对于每一个转换通道， $\overline{\text{EOC}}$ 均是低电平信号。ADS8364可为MSP430提供三个脉冲。每个脉冲信号表明一个转换的结束。当ADC的这三个引脚同时置低时，三个通道被认为有效并同时转换。另外， $\overline{\text{EOC}}$ 引脚也可被连接到MSP430的一个中断引脚，以触发一个读周期。

2.3 MSP430的设置

图3所示是MSP430F149的引脚排列图。使用时，将外部8MHz信号接到MSP430的XT2输入端，因此，选择XT2输入就选择了时钟源MCLK和SMCLK。通过设置DIVS位可以给SMCLK提供4MHz的时钟频率，而MCLK则仍保持8MHz的时钟频率。通过向MSP430的寄存器PIDIR中写入0x1D可以把PORT1的0,2,3,4引脚设置成输出格式。当P1.4被设置成输出以后，通过向寄存器PISEL写入0x10即可设定SMCLK，它可以为ADS8364提供转换时钟。

把P1.1设置成中断输入只须清除寄存器PIIFG和PIIES的bit2，同时向寄存器PIIE写入0x02就可以了。该操作同时清除了中断标志、使能下降沿检测和使能外部中断，这三个命令只有在全局中断命令之后才能使用。

ADS8364的片选 $\overline{\text{CS}}$ 是一个有源低电平输入信号。当 $\overline{\text{CS}}$ 为高时，并行输出引脚处于高阻态。当 $\overline{\text{CS}}$ 为低时，并行数据线反映了输出缓冲

器的当前状态。为了正确地ADS8364的并行数据总线上读取数据，ADS8364必须被片选 $\overline{\text{CS}}$ 选中后才能进行读操作。为了使有源控制线减到最少， $\overline{\text{CS}}$ 引脚应该接地。假如片选信号 $\overline{\text{CS}}$ 有效，MSP430的任意一个GPIO均有效。

ADS8364的读($\overline{\text{RD}}$)信号端也是有源低电平信号。当 $\overline{\text{CS}}$ 为低时，在读信号($\overline{\text{RD}}$)的下降沿，ADS8364中寄存器的内容将被更新。这意味着在每个读序列之前， $\overline{\text{RD}}$ 信号必须被触发，这样才能更新输出缓冲器。通过MSP430的中断子程序将ADS8364的 $\overline{\text{RD}}$ 引脚置低(通过P1.2)可以保存P2.0~P2.7的数据，之后可再将 $\overline{\text{RD}}$ 引脚置高。

参考文献

1. ADS8364 Data Sheet U.S.A Texas Instruments JUNE 2002
2. MSP430x14x Mixed Signal Microcontroller FEBRUARY 2001
3. MSP430x1xx Family User's Guide NOVEMBER 2001

编者注：

若需ADS8364和MSP430F149芯片和资料，请联系：029-8377000

收稿日期：2002-09-09

咨询编号：021017

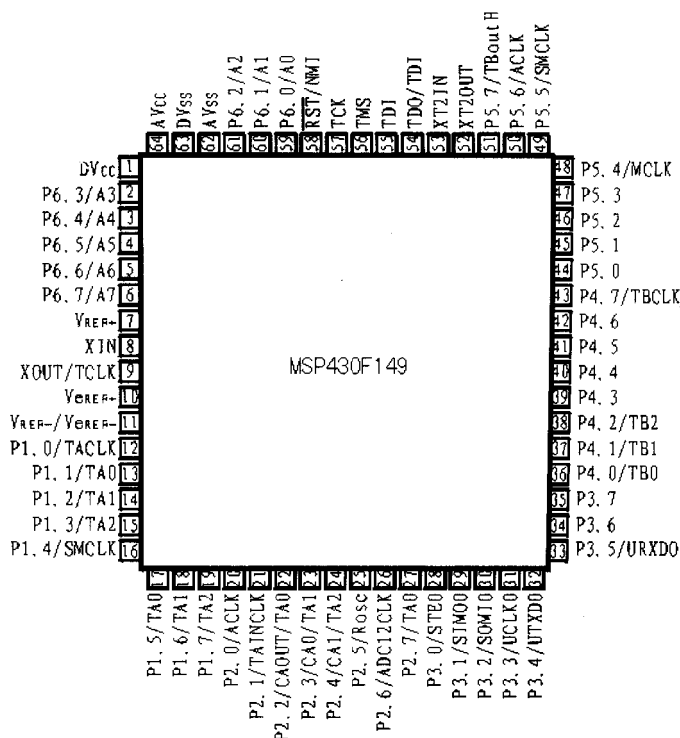


图3 MSP430F149的引脚排列